## PATENT ABSTRACTS OF JAPAN

(11) Publication number:

2000-196071

(43) Date of publication of application: 14.07.2000

(51) Int. CI.

H01L 21/336

H01L 27/04

H01L 21/822

H01L 21/8238

H01L 27/092

H01L 27/10

H01L 29/43

(21) Application number : 10-369091

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing:

25, 12, 1998

(72) Inventor: OISHI TOSHIYUKI

NISHIDA MASAO

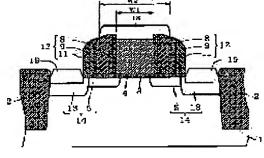
SAYAMA HIROKAZU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE. AND THE SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device, which can reduce the gate resistance, by widening the width of a conductive layer on a gate electrode, without elongating the gate length.

SOLUTION: After formation of an extension 5 within the topside of a silicon substrate 1, a silicon oxide film 6 and a silicon nitride film (7) are stacked over the entire substrate. Next, the silicon nitride film (7) and the silicon oxide film (6) are etched anisotropically in this order. Next, a silicon oxide film (10) is stacked all over, and then the silicon oxide film (10) is etched anisotropically. Then with the gate electrode 4 and the sidewall 12 as masks, ion implantation is performed to form an impurity region 13. Next, a silicon growth layer (15) is formed by performing silicon growth under conditions such that it has selectivity with respect to the silicon oxide film. Next, cobalt silicides (18) and 19 are made by performing heat treatment after stacking



cobalt (17) over the entire surface. After that, unreacted cobalt (17) is removed.

## LEGAL STATUS

[Date of request for examination]

Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]







## 일본공개특허공보 평12-196071호(2000.07.14) 1부.

[첨부그림 1]

(19)日本国特許庁(JP)

四公公開特許公報(A)

(11)特許出職公則番号

特開2000-196071 (P2000-196071A)

最終質に絞く

(43)公開日 平成12年7月14日(2000.7.14)

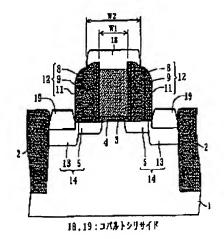
(51) ht.CL'		級別記号		ΡI					ターてコート*(参考)
HOIL	29/78			HO	1L 2	19/78		301P	4M104
	21/338			5	27/10 27/04		461 U	5 F O 9 8 5 P O 4 O	
	27/04			2					
	21/822 21/8238		2		27/08		3 2 1 D	5 P 0 4 8	
					9/46		D	5 F O 8 3	
			<b>产的</b> 次	東 未業球	W.Z.	日の第18	OL	(全34页)	最終目に続く
(21)出票当号		<b>特勝平10-36609</b> 1		(71)出個人 000006013 三黃蜡綠林太会社					
(22)出期日		平成10年12月25日(1996, 12.2					区北の内二丁	自2番3号	
				(72)	先明者			mak onto a m	master -
						※ 発揮			包2番8号 三
				(77)	杂切者			un.	
				1120	767714			EN OW-T	四2#3号 三
						遊香樓			H
				(74)	人組分				
				""			<b>当田</b>		24)

## (54) [空初の名称] 中等体装置の製造方法及び中等体装置

(課題) ゲート長を広げることなく、ゲート電極上に 形成された姿電層の幅を広げることにより、ゲート抵抗 た所は実得を半途体発露の製造方法を得る。 (解決手数) シリコン萎振1の上面内にエクステンシ

1875年8月 フリコンを依すり上面内にエリステンツョン5を形成した後、シリコン酸化膜の及びシリコン変化膜アス全面に増減する。次に、シリコン変化膜アスケッリコン酸化膜10を全面に増減した後、シリコン酸化膜10を果方性エッチングする。次に、ゲート電係4及びサイドウォール12をマスクとしてイオン注入を行い、不確物領域13を形成する。次に、シリコン酸化

映に対して漢択性を有する条件下でシリコンの成長を行うことにより、シリコン成長層15を形成する。次に、コパルト17を全面に堆積した後、熱処理を行うことにより、コパルトンリサイド10,19を形成する。その後、未反応のコパルト17を焼去する。





2004-757 Committee to table 1990s the continuence of the continuence o



#### [청부그림 2]

#### 【特許請求の徳囲】

- 【諸求項 1】 ( a ) 茶板の主面上に、ゲート結構映及 びゲート電極がこの頃に練歴された検層構造を選択的に 形成する工程と、
- (b) 耐記様程標達の側壁部に、少なくとも第1及び第2の材質がら成るサイドウォールであって、該サイドウォールの上面のうち対記第1の材質が露出する部分と対記検関標達の上面との間に、材記第2の材質が露出する再出が埋き有するサイドウォールを形成する工程と、
- (c) 前記露出領域から前記様層構造の上面に延在する 運竜層を形成する工程とを備える、半導体装置の製造方法。
- 【請求項2】 対記サイドウォールは、対記第1及び第2の材質と第3の材質とから成り、
- 対記サイドウォールの前記上面は、対記露出積極と前記 徒層構造の上面との間に、対記第3の材質が費出する群 分を有し、

#### #記[12 (c) lt.

- (c-1) 対記露出領域及び的記候層構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、対記露出領域から対記候層構造の上面に延在する半導体成長層を形成する工程と、
- (c ~ 2) 前記半導体成長層を金属と結合させて半導体 ~ 金属化合物を形成することにより、前記導電層を形成 する工程とにより実行される、請求項1に記載の半導体 装置の製造方法。
- 【請求項3】 (a) 茎板の主面上に、ゲート絶縁映及 びゲート電極がこの頃に縁層された縁層構造を選択的に 形成する工程と、
- (b) 村記機関構造の側壁部に、少なくとも第1及び第 2の村質から成るサイドウォールであって、該サイドウ ォールの側面のうち村記巻板の村記主面付近において村 記第2の村質が講出する第1種頃を描するサイドウォールを形成する工程と、
- (c) 対記第:積極及び露出している対記差振の対記主面からそれぞれ半導体を成長させることにより、半導体成長層を形成する工程と、
- (d) 対記半導体或長層を金属と結合させることにより、半導体-金属化合物を形成する工程とを備える、半導体製造の設造方法。
- 【請求項 4】 いずれも前記工程 (c) よりも前に実行され.
- (e) 前記至板の素子分離積相に、少なくとも一部が前記至板の前記主面上に突出した突出部分を有する素子分離構造を形成する工程と、
- (†) 前記突出部分の側壁部に第3の材質から成る第2 領域を形成する工程とをさらに備え、
- 対記工程(o)において、対記半導体成長層は、対記第 1 頼城、舞出している対記を振の対記主面、及び対記第 2 頼城からそれぞれ対記半導体を成長させることにより 形成される、諸栄填3に記載の半導体発露の製造方法。

- 【諺求項5】 (●) 基版の主面上に、ゲート総辞限及びゲート電極がこの頃に検見された検層構造を選択的に 形成する工程と、
- (6) 前記様層構造の側盤部に、少なくとも第1及び第2の材質がら成るサイドウォールであって、該サイドウォールの上面のうち前記第1の材質が選出する部分と対記様層構造の上面との間に、前記第2の材質が選出する第1類型を有するとともに、前記サイドウォールの側面のうち前記芸板の前記主面付近において前記第2の材質が選出する第2級型を有するサイドウォールを形成する工程と、
- (c) 村記第1様短及び村記様層標準の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、村記第1様短から前記様層構造の上面に基在する第1の半導体成長層を形成するとともに、村記第2様超及び重出している村記券板の対記主面からそれぞれ半導体を成長させることにより、第2の半導体成長層を形成する工程と、
- (d) 前記第1及び第2の半導体成長層をそれぞれ金属 と結合させることにより、半導体一金属化合物をそれぞ れ形成する工程とを備える、半導体装置の製造方法。
- 【編末項6】 いずれも前記工程 (c) よりも前に実行され.
- (\*) 対記整板の素子分離傾域に、少なくとも一部が対 記整板の対記主面上に突出した突出部分を育する業子分 幕構造を形成する工程と、
- (1)前記突出部分の側壁部に第3の材質から成る第3 積極を形成する工程とをさらに備え、
- 対記工程 (c) において、対記等2の半導体成長層は、 対記第2補極、推出している耐記基版の付記主面、及び 対記第3領域からそれぞれ半導体を成長させることによ り形成される、請求項5に記載の半導体装置の製造方 法。
- [請求項7] (a) 第1の半海体素子が形成される第 1の象子形成績母と、第2の半海体素子が形成される第 2の素子形成績母とを育する要仮を用いて、前記第1の 素子形成様母における前記を仮の主面上に、ゲート記録 観及びゲート電優がこの順に様々された第1の様屋構造 を形成するとともに、前記第2の素子形成績母における 前記を仮の主面上に、ゲート記録際及びゲート電優がこ の順に検層された第2の核層構造を形成する工程と、
- (b) 前記第1の様度構造の側盤部に、第1の幅を有する第1のサイドウォールを形成する工程と、
- (c) 前記第2の様層精造の側壁部に、前記第1の幅と は異なる第2の幅を有する第2のサイドウォールを形成 する工程と、
- (d) 前記第1及び第2の様層構造、及び前記第1及び 第2のサイドウォールをマスクとして、前記筆板の前記 主面内に不純物を導入することにより、前記第1の寿子





#### [첨부그림 3]

形成領域における物記基係の対記主面内に対を成す第 1 の不純物域入積型を、前記第2の表子形成領域における 対記整係の前記主面内に対を成す第 2 の不純物域入領域 をそれぞれ形成する工程とを備える、半導体製器の製造 方法。

【請求項8】 対記工程(b)においては、少なくとも 第1及び第2の付貸から成るサイドウォールであって、 該サイドウォールの上面のうち対記第1の付貸が選出す る部分と対記第1の検督構造の上面との間に、対記第2 の付貸が露出する番出領域を有する対記第1のサイドウォールが形成され、

(e) 村記露出模型から前記第1の移居構造の上間に延在する準電層を形成する工程をさらに備える。請求項7に記数の半導体装置の製造方法。

【請求項9】 | 対記工程 (c) において、対記第2のサイドウォールは、

(c=1) 前記第2の結局構造の側壁部に前記第1のサイドウォールを形成する工程と、

(c-2) 封記第1のサイドウォールから対記第1の材質を除去する工程とにより形成される。請求項8に記載の半導体装置の報道方法。

【請求項10】 登板と、

対記整板の主面上に選択的に形成された。ゲート結構際 及びゲート電極がこの頃に狭窄された練屋構造と、

は記憶層構造の衝撃部に形成された、少なくとも第1及 び第2の材質から成るサイドウォールであって、認サイ ドウォールの上面のうち前記第1の材質が露出する部分 と明記機関構造の上面との間に、前記第2の材質が露出 する舞出領域を有するサイドウォールと、

対記義出領域から対記様層構造の上面に延在して形成された運転層とを備える半導体装置。

【請求項11】 前記サイドウォールは、前記第1及び 第2の材質と第3の材質とから減り、

対記サイドウォールの前記上面は、前記乗出積減と対記 接層構造の上面との間に、前記第3の材質が輸出する部 今次向1

村記簿電房は、村記録出類均及び村記様房構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、村記録出額均から村記様屋構造の上面に経在して形成された半導体成長層を金属と指合させた半導体の企業は一個に記載の半導体展費。

【請求項12】 姜振と、

育記整板の主面上に選択的に形成された。ゲート籍辞牒 及びゲート電極がこの頃に積層された積層構造と、

対記様 容構造の側盤部に形成された、少なくとも第1及び第2の材質から成るサイドウォールであって、窓サイドウォールであって、窓サイドウォールの側面のうち前記整板の前記主面付近において前記第2の材質が露出する第1積極を有するサイドウォールと、

対記第1領域及び露出している対記基板の対記主面から 半導体をそれぞれ成長させた半導体成長層と金属とが結合 合した半導体・金属化合物から成る導電層とを備える半 場体検査。

【請求項13】 対記基版の典子分離領域に形成された。少なくとも一部が対記基版の対記主面上に突出した 実出部分を有する業子分離構造と。

対記突出部分の側差部に形成された、第3の材質から成る第2領域とをさらに備え、

的記半導体成長層は、射記第1領域、輸出している前記 蓄板の前記主団、及び前記第2領域からそれぞれ前記半 導体を成長させることにより形成される、請求項12に 記載の半導体装置。

【請求項14】 養板と、

前記基抗の主面上に選択的に形成された。ゲート絶縁膜及びゲート電極がこの項に破層された様層構造と、

対記は層構造の側壁部に形成された、少なくとも第1及び第2の材質から成るサイドウォールであって、該サイドウォールの上面のうち料記第1の材質が輸出する部分と材記技層構造の上面との間に、対記サイドウォールの側面のうち料記を振の対応主面付近において利記第2の材質が輸出する第3段模型を有するサイドウォールと、材質が輸出する第2項模型を有するサイドウォールと、

対記第1領域及び前記移用構造の上面からそれぞれ半導体を成長させることにより、ゲート長方向への成長を以て、前記第1領域から前記は層構造の上面に延在して形成された第1の半導体成長層を金属と語合させた第1の半導体・金属化合物から成る第1の導電層と、

対記第2領域及び舞出している村記塾仮の村記主面から それぞれ半導体を成長させることにより形成された第2 の半導体成長層を金属と語合させた第2の半導体一金属 化合物から成る第2の導電層とを備える半導体発成。

【請求項15】 対記茎板の素子分離領域に形成された。少なくとも一部が対記茎板の前記室面上に突出した 突出部分を有する奉子分離構造と、

村記突出部分の創堂部に形成された、第3の材質から成る第3種框とをさらに備え、

前記第2の半導体成長度は、前記第2領域、震出している村記基底の前記主面、及び前記第3領域からそれぞれ 前記半導体を成長させることにより形成される、請求項 1.4に記載の半導体研究。

【誠求項16】 第1の半導体兼子が形成される第1の 素子形成領域と、第2の半導体兼子が形成される第2の 素子形成領域とを有する差板と、

対記第1の弟子形成領域における村記茎板の主面上に選択的に形成された。ゲート絶縁既及びゲート電極がこの順に秩履された第1の秩屋構造と、

対記第2の素子形成領域における対記整板の主面上に選択的に形成された。ゲート経縁解及びゲート電極がこの 順に様度された第2の様度構造と、



وللماء هر التفطيعينية بنائية فهارياه عراب المناسعة وعالماتك



#### [첨부그림 4]

متعصصه بالالتباط معالعا لايا ويتوفائها والماد والماعلية والمارية والمامية

付記簿1の秩層譲通の創建部に形成された、第1の幅を 有する第1のサイドウォールと、

村記第2の桂磨梯造の側盤部に形成された、前記第1の 幅とは異なる第2の幅を有する第2のサイドウォール

対記第1の素子形成領域における村記藝板の前記主面内 に、対記第1の種屋構造及び村記第1のサイドウォール をマスクとして不純物を導入することにより形成された 第1の不純物導入領域と、

村記第2の素子形成領地における村記芸板の村記主面内 に、村記第2の機関構造及び村記第2のサイドウォール をマスクとして不純物を導入することにより形成された 第2の不純物導入領域とを備える半導体装置。

【請求項17】 前記第1のサイドウォールは、少なくとも第1及び第2の材質から成り、前記第1のサイドウォールの上面のうち前記第1の材質が露出する部分と前記第1の結婚が露出する部分と前記第1の結婚構造の上面との間に、前記第2の材質が露出する露出時期を有し、

対記録出領域から対記第1の様屋構造の上面に延在して 形成された導電屋をさらに備える。 請求項16に記載の 半導体装置。

【請求項18】 前記第2のサイドウオールは、前記第2の結局構造の側型部に形成された前記第1のサイドウオールから前記第1の特質を除去することにより形成される。請求項17に記数の半導体装置。 【GOO1】

【難期の解組系統制分野】この発明は、半導体装置及びその製造方法に関し、特に、サリサイド構造を育するMCSFETの構造及びその製造方法に関する。また、この発明は、一つのウェハウに用途の異なる複数種類の半導体等子が形成された半導体装置及びその製造方法に関する。

#### [0002]

【従来の技術】従来技術 1. 図 4 5~図 5 2 は、従来の 半導体装置の製造方法を工程順に示す断面図である。特 に、サリサイド構造を育するMO SFETの製造工程を 頃に示すものである。まず、シリコン基板101の妻子 分離領域にシリコン酸化限から成る素子分離絶縁限 1 O 2を形成した後、ウェルやチャネル(図示しない)等を 形成するためのイオン注入を行い、その後、シリコン基 板101の上面上に、シリコン酸化鉄から成るゲート酸 化膜103及びボリシリコンからぬるゲート電極104 を選択的に形成する。その後、イオンは入を行い、シリ コン基板101の上面内に不純物積塩(以下『エクステ ンション』と表記する) 105を形成する(図46)。 【0003】次に、例えばCVD法により、シリコン酸 化脱106を全国に堆積した後、シリコン酸化脱106 上にシリコン空化阱107を堆積する(図47)。次 に、シリコン基板 10 1の菜さ方向にエッチングレート

の高い実方性ドライエッチング法により、シリコン窓化 棋107及びシリコン酸化隊106をこの頃にエッチングし、シリコン破切101の上面を露出する。これにより、ゲート電低104の側壁部に、シリコン酸化隊10 8及びシリコン変化隊109から成るサイドウォール1 10を形成する(図48)。

【0004】次に、ゲート電幅104及びサイドウォール110をマスクとしてイオン注入を行い、露出しているシリコン芸板101の上面内に不純物領域111を形成する。その結果、シリコン芸板101の上面内には、エクステンション105及び不純物領域111から成るソース・ドレイン領域112が形成される(図49)、【0005】次に、シリコン酸化脒及びシリコン変化腺に対して選択性を有する条件下でシリコンの成長を行い(これは、シリコン酸化脒上及びシリコン変化腺上にはシリコンが成長せず、その他の領域上にはシリコンが成長で行い(これの上面上にシリコン或長層113を形成するともに、不純物領域111が形成されている部分のシリコン芸板101の上面上にシリコン成長層113を形成するともに、不純物領域111が形成されている部分のシリコン芸術101の上面上にシリコン成長層113を形成する(図30)。

【0006】次に、例えばCV D法によりコバルト115を全面に増補した後(図51)、変集やアルゴン等の不活性ガス季囲気中で熱処理を行う。これによりコバルト115とシリコン成長層113、114とが反応し、コバルトシリサイド115、117が形成される。その後、未反応のコバルト115を除去する(図52)。以上の工程により、サリサイド構造を有するMOSFETが作製される。その後、原礎経縁队の形成工程や配換工程等のプロセスを経て、デバイスが完成する。

【0007】従来技術2、図53~図57は、従来の半海体装置の製油方法を工程時に示す断面図である。特に、~つのウェハ内に用途の異なる複数種類の半路体表 をおい成された半路体装置の製造工程を廃に示すものである。まず、シリコン整仮101の率子分離特域にシリコンを仮600元を未分離特域にシリコンを仮度がら成る未分離絶線取102を形成した後、ウェルやチャネル(図示しない)等を形成するためのイオン注入を行い、その後、シリコン整板101の上面上に、シリコン酸化鉄から成るゲート酸化联103及びポリシリコンから成るゲート電後104を選択的に形成する。その後、イオン注入を行い、シリコン整板10 1の上面内にエクステンション105を形成する(図53)。

【0008】 次に、例えばCV D法により、シリコン般 化映106を全面に地検する(図54)。その後、例えばCV D法により、シリコン酸化映106上にシリコン 変化映107を地検する(図55)。次に、シリコン姿 版101の深さ方向にエッチングレートの高い男方性ドライエッチング法により、シリコン変化映107及びシリコン酸化映106をこの順にエッチングし、シリコン



LONGTON TO THE PROPERTY OF THE PROPERTY OF THE SECOND OF THE PROPERTY OF THE P



#### [첨부그림 5]

委振101の上間を輩出する。これにより、シリコン藝 振101のDRAM部においては、シリコン酸化展108及びシリコン変化展109から成るサイドウォール110aがゲート戦極104の側壁部に形成され、一方、シリコン基版101のロジック部においては、シリコン酸化限108及びシリコン室化限109から成るサイドウォール110bがゲート電幅104の側壁部に形成される(図56)。

【0009】次に、ゲート毛経104及びサイドウォール1104、1104をマスクとしてイオン注入を行い、産出しているシリコン基板101の上面内に不移物 類型111を形成する。その結果、シリコン基板1010の上面内には、エクステンション105及び不純物類型111から成るソース・ドレイン積短112が形成される(図57)。以上の工程により、シリコン基板101のDRAM都にはDRAM用MOSFETが、ロジック部にはロジック用MOSFETがそれぞれ作製される。その12、層間距離減少の形成工程や配達工程等のプロセスを終了、デバイスが完成する。

【契明が解決しようとする課題】従来技術1に関する問題点。MOSFETの動作の高速化や高層波特性の向上を図るためには、ゲート抵抗やソース・ドレイン抵抗を低減することも重要である。図52に示したMOSFETのように、ゲート電極104上にコパルトシリサイド115の幅を広げることによってゲート抵抗は低減されるが、コパルトシリサイド115の幅を広げることができれば、ゲート抵抗をさらに低減することが可能となる。

【9011】しかし、図52に示したように、従来のMOSFETにおいてはコパルトシリサイド116の個はゲート長にほぼ等しいたの、コパルトシリサイド116の個を広げるためにはゲート長を広げると変がある。ところが、ゲート長を広げるためにゲート電極104の個を大きくすると、これに伴ってソースードしイン間の距離も大きくなる。その結果、チャネル抵抗が増大してMOSFETの駆動電流が減少し、却って、MOSFETの動作速度や高周波特性が修下するばかりでなく、デバイの機能化の要求にも反することになるという問題点があった。

【0012】また、図58、59は、それぞれ図50の A部分及び8部分を拡大して示す断面図である。上速したように、シリコン成長層114は、シリコン基振10 の上面上にシリコンを成長させることによって形成される。このとき、特定の面方位が成長速度に影響を及ぼすため、シリコン成長層114の場部にはファセットが現れる。図58には、シリコン成長層114のサイドウォール110周の端部に現れるファセット120eを、図59には、シリコン成長層114の赤子分離絶縁睽102側の端部に現れるファセット120bをそれぞれ示

した、なお、図59にはシリコン酸化終106。が示されているが、これは、サイドウォール110を形成する 緩の異方性ドライエッチングの際に、キ子分離絶縁解1 02上に堆接されたシリコン酸化解106が壽子分離殆 縁終102の側壁部に残ったものである。

【0013】このファセット120m, 120bの存在 により、シリコン成長層114の端部の膜厚は、中央部 の群席よりも強くなる。シリコン成長層114をシリサ イド化してコパルトシリサイド117を形成する場合、 シリサイド化は、シリコン成長層114とコパルト11 5との見所、部ちシリコン成長屋114の上面から深さ 方向に次第に進行する。従って、シリコン成長層114 の鉄厚が浮い場部においては、鉄厚が厚い中央部と比較 すると、コバルトシリサイド117はシリコン基版10 1の内部深くにまで形成されることになる。そのため、 シリコン基板 10 1の内部深くに形成されたコパルトシ リサイド117がソース・ドレイン領域112を突き抜 けないようにするためには、ソース・ドレイン領域11 2を子の深く形成しておく必要がある。 このような事情 により、従来のMOSFETの製造方法においては、ソ - ス・ドレイン領域112をあまり浅く形成することが できず、デバイスの微細化が困難であるという問題点も あった。

【0014】従来技術2に関する問題が、図37に示したように、クリコン基版101には、DRAM用MOSFETとロジック用MOSFETとが温致して形成されている。ところで、DRAM用MOSFETに対定した機然的特性が要求されるため、ソース領域及びドレイン領域を確実に形成するためには、プロセスのばらつきを考慮して不耗物が増加111回士の間の距離はある程度離れていることが望ましい。一方、ロジック用MOSFETには高駆動能力が要求されるため、ソース及びドレインのも抵抗値を下げるためには、不耗物が増加111回士の間の距離はできるだけ短い方が望ましい。このように、MOSFETに要求される性能がDRAM用とロジック用とでは異なることに起因して、不耗物が増111回士の間の距離をそMOSFETに関すて個別に設定することができれば望ましい。

【〇〇15】しかし、図57に示したように、従来の半 類体装置の製造方法では、DRAM部のサイドウォール 110gの幅と、ロジック部のサイドウォール110b の幅とは互いに等しい。このため、その後のイオン注入 により形成されるソース部の不純物領紅111とレイン部の不純物領紅111との間の距離は、DRAM部及 びロジック部において同ーとなり、この要求に応えられ ないという問題点があった。

【0016】本発明はこれらの問題点を解決するために 成されたものであり、第1に、サリサイド構造を有する MOSFETに関して、ゲート最を広げることなく、ゲ ート電極上に形成された路電程の幅を広げることによ





#### [첨부그림 6]

منته والمنافي والمساوي والمنافئ والمعافرة والمعافرة والمنافرة والمنافرة والمنافرة والمنافرة والمنافرة والمنافرة

り、ゲート抵抗をさらに底辺し得る半導体装置及びその 製造方法を得ること、及び、萎振のソース・ドレイン領 域に形成される場種層が萎振の内部深くにまで達するこ とを回避することにより、況いソース・ドレイン積極を 形成することを可能とし、後畑化に適した半路体装置及 びその製造方法を得ることを目的とする。また、第2 に、一つのウェハ内に用途の異なる複数種類の半路体 衆 干が形成される半路体製造に関して、実まされる性能に を じてソース部の不純物類地とドレイン部の不純物類地 との間の距離を個別に設定し得る半路体装置及びその製 造方法を得ることを目的とする。

[0017]

【課題を解決するための手段】この発明のうち請求項 1 に記載の半導体装置の製造方法は、 (a) 萎振の主面上 に、ゲート絶縁隊及びゲート機様がこの頃に結婚された **社層構造を選択的に形成する工程と、(b) 社層構造の** 側壁部に、少なくとも第1及び第2の材質から成るサイ ドウォールであって、数サイドウォールの上面のうち第 1の付貨が輸出する部分と秩序構造の上面との間に、第 2 の付買が露出する露出領域を有するサイドウォールを 形成する工程と、(c)露出積極から核層構造の上面に 延在する基金度を形成する工程とを備えるものである。 【0018】また、この発明のうち請求項2に記載の半 深体装置の製造力法は、請求項1に記載の半導体装置の 製造方法であって、サイドウォールは、第1及び第2の 付質と第3の付質とから成り、サイドウォールの上面 は、露出領域と袪疫構造の上面との間に、第3の材質が 希出する部分を有し、工程 (c) は、 (c = 1) 重出領 組及び被機構造の上面からそれぞれ半線体を成長させる ことにより、ゲート長方向への成長を以て、露出積極か ら結層構造の上面に延在する半導体成長層を形成する工 程と、(c - 2)半導体成長度を金属と結合させて半導 体ー金属化合物を形成することにより、奨価層を形成す る工程とにより実行されることを特徴とするものであ

【0019】また、この発明のうち請求項3に記数の半 塩体料置の製造方法は、(a) 基板の主面上に、ゲート 低端限及びゲート電極がこの順に検層された模層構造を 選択的に形成する工程と、(b) 核層構造の適理部に、 少なくとも第1及び第2の材質から成るサイドウォールであって、該サイドウォールの側面のうち整板の主面付近において第2の材質が重出する第1積項を存するサイ ドウォールを形成する工程と、(a) 第1科域及び登出 している基板の主面からそれぞれまする工程と、(d) 半導体の表層を形成する工程と、(d) 半導体成長層を形成する工程と、(d) 準導体の表層を形成する工程と、(d) 半導体一金属 化合物を形成する工程とを備えるものである。

【0020】また、この発明のうち請求項4に記載の半 等体装置の配適方法は、請求項3に記載の半導体装置の 製造方法であって、いずれも工程(c)よりも前に実行 され、(e) 基板の素子分離領域に、少なくとも一部が 基板の主面上に完出した突出部分を有する素子分離構造 を形成する工程と、(f) 突出部分の創建部に第3の材 質から成る第2 傾域を形成する工程とをさらに備え、工 程(c) において、半準体成長層は、第1 視域、舞出し ている基板の主面、及び第2 領域からそれぞれ半導体を 成長させることにより形成されることを特徴とするもの である。

【0021】また、この発明のうち請求項5に記載の半 導体装置の製造方法は、(a) 芸板の主面上に、ゲート 絶縁隊及びゲート電橋がこの頃に積層された機層構造を 選択的に形成する工程と、(b) 積層構造の側壁部に、 少なくとも第1及び第2の材質から成るサイドウォール であって、該サイドウォールの上面のうち第1の材質が 無出する部分と経療構造の上面との間に、第2のは質が 露出する第1様域を存するとともに、サイドウォールの 側面のうち基板の主面付近において第2の材質が輸出す る第2積域を有するサイドウォールを形成する工程と、 (a) 第1領域及び積層構造の上面からそれぞれ半導体 を成長させることにより、ゲート長方向への成長を以 て、第1領域から被層構造の上面に延在する第1の半導 体成長層を形成するとともに、第2種様及び選出してい る基板の主面からそれぞれ半導体を成長させることによ り、第2の半導体成長層を形成する工程と、(d)第1 及び第2の半導体成長層をそれぞれ金属と結合させるこ とにより、半導体-金属化合物をそれぞれ形成する工程 とを備えるものである。

【0023】また、この契明のうち請求項7に記載の半端体級国の製造方法は、(e) 第1の半端体素子が形成される第1の素子形成領域と、第2の半端体素子が形成される第2の素子形成領域とを有する基板を用いて、第1の素子形成領域における基板の主面上に、ゲート記録

成及びゲート電低がこの原に検定された第1の秩序構造を形成するとともに、第2の素子形成領域における基板の主面上に、ゲート記録解及びゲート電極がこの原に被関された第2の核原構造を形成する工程と、(b) 第1の様存構造の側重部に、第1の幅を有する第2のサーウェールを形成する工程と、(c) 第2の核層構造の側重部に、第1の幅とは異なる第2の個を有する第2のサ



معتنين كالمتاه ومعاودت ومناه والمناهدين والمعارض والمعارض والمتعارض والمتاهدة والماس والمتاهد



#### [첨부그림 7]

ning programment in the contract of the contra

イドウォールを形成する工程と、(d)第1及び第2の様層構造、及び第1及び第2のサイドウォールをマスクとして、基版の主面内に不評物を導入することにより、第1の素子形成積短における基板の主面内に対を成す第1の不託物場入傾回を、第2の素子形成積短における基板の主面内に対を成す第2の不託物場入積極をそれぞれ形成する工程とを過えるものである。

【0024】また、この発明のうち請求項目に記載の半選体装置の製造方法は、請求項7に記載の半媒体装置の製造方法であって、工程(b)においては、少なくとも第1及び第2の付質から成るサイドウォールであって、該サイドウォールの上面のうち第1の村質が適出する部分と第1の経歴構造の上面との間に、第2の材質が適出する第出時項を有すう第1のサイドウォールが形成され、(e) 露出環境から第1の経歴構造の上面に延在する場合を形成する工程をさらに備えることを特徴とするものである。

【0025】また、この契明のうち請求項タに記載の半 连体検査の報泡方法は、請求項8に記載の半等体製置の 製造方法であって、工程(c) において、第2のサイド ウォールは、(c-1) 第2の機 程信道の側盤部に第1 のサイドウォールを形成する工程と、(c-2) 第1の サイドウォールの6第1の材質を除去する工程とにより 形成されることを特徴とするものである。

【00 2 6】また、この発明のうち請求項10 に記載の 半等体装置は、基板と、基板の主面上に選択的に形成さ れた。ゲート始待限及びゲート電極がこの頃に指定され た成層は過と、機層は30 向量部に形成された、少な とも第1及び第2の材質から成るサイドウォールであっ て、該サイドウォールの上面のうち第1の材質が露出す も夢かと機層構造の上面との間に、第2の材質が露出す る憲出地域を有するサイドウォールと、露出機関から機 層構造の上面に延在して形成された導電層とを備えるも のである。

【0027】また、この契明のうち請求項11に記載の 半導体装置は、請求項10に記載の半導体装置であっ て、サイドウォールは、第1及び第2の材質と第3の材 質とから成り、サイドウォールの上面は、震出積減と被 屋構造の上面との間に、第3の材質が寄出する部分を有 し、導電局は、露出積減及び被層構造の上面からそれぞ れ半導体を成長させることにより、ゲート長方向へ形成 された半導体の最優に表現と語合させた半導体一金属化 合物であることを特徴とするものである。

【0028】また、この発明のうち請求項12に記載の 半等体装置は、萎振と、萎振の主面上に選択的に形成さ れた、ゲート絶縁膜及びゲート電極がこの頃に様度され た様程標準と、様程標準の側壁部に形成された、少なく とも第1及び第2の材質から成るサイドウォールであっ て、該サイドウォールの側面のうち萎振の主面付近にお いて第2の材質が露出する第1 領域を有するサイドウォールと、第1 領域及び露出している基板の主面から 半端体 をそれぞれ成長させた半端体成長層と金属とが結合した半端体 - 金属化合物から成る端電層とを備えるものである。

【0029】また、この発明のうち請求項13に記載の 半導体装置は、請求項12に記載の半導体装置であっ て、要板の素子分離砂壁に形成された、少なくとも一部 が基板の主面上に突出した突出部分を有する余子分離砂 造と、突出部分の側壁部に形成された、第3の材質から 成る第2模域とをさらに偏え、半導体成長層は、第1般 句、舞出している要板の主面、及び第2種類からそれぞ れ半導体を成長させることにより形成されることを特数 とするものである。

【0030】また、この発明のうち請求項14に記載の 半導体装置は、茎板と、茎板の主面上に透択的に形成さ れた、ゲート絶縁膜及びゲート電極がこの練に枝屑され た様層構造と、様層構造の側壁部に形成された、少なく とも第1及び第2の材質から成るサイドウォールであっ て、該サイドウォールの上面のうち第1の付貨が露出す る部分と核層構造の上面との間に、第2の材質が輸出す る第1領域を有するとともに、サイドウォールの側面の うち萎振の主面付近において第2の材質が露出する第2 領域を育するサイドウォールと、第1領域及び積層制造 の上面からそれぞれ半導体を成長させることにより、ゲ - ト長方向への成長を以て、第1領域から積層構造の上 面に延在して形成された第1の半導体成長層を金属と結 合させた第1の半導体-金属化合物から減る第1の基礎 層と、第2領域及び舞出している基板の主面からそれぞ れ半導体を成長させることにより形成された第2の半導 休成長間を金属と結合させた第2の半導体-金属化合物 から成る第2の議者屋とを備えるものである。

【0031】また、この発明のうち請求項15に記数の 半端体装置は、請求項14に記数の半端体装置であっ て、要板の妻子分離領域に形成された、少なくとも一部 が基板の主面上に突出した突出部分を有する素子分離構造と、突出部分の側型部に形成された、第3の材質から 成る第3領域とをさらに備え、第2の半端体成長程は、 第2領域、費出している基板の主面、及び第3領域から それぞれ半端体を成長させることにより形成されること を特徴とするものである。

【0032】また、この発明のうち請求項16に記載の 半導体装置は、第1の半導体未子が形成される第1の未 子形成績短と、第2の半導体未子が形成される第2の未 子形成績短とを有する基板と、第1の素子形成績短にお ける萎板の主面上に違択的に形成された、ゲート経経映 及びゲート機能がこの項に袪層された第1の経層構造 と、第2の未子形成績短における基板の主面上に違択的 に形成された、ゲート能経映及びゲート機能がこの項に 様層された第2の核層構造と、第1の様層構造の側壁部



THE PROPERTY OF STATES AND THE PROPERTY AND THE PROPERTY AND THE PROPERTY OF T



#### [첨부그림 8]

に形成された、第1の帽を有する第1のサイドウォールと、第2の積層構造の側壁部に形成された、第1の帽とは異なる第2の帽を有する第2のサイドウォールと、第1の無子形成積増における差板の主面内に、第1の様層構造及び第1のサイドウォールをマスクとして不時物を導入することにより形成された第1の不時物導入領域と、第2の電子形成積組における差板の主面内に、第2の保留構造及び第2のサイドウォールをマスクとして不時物を導入することにより形成された第2の不時物導入領域とを備えるものである。

【0033】また、この配明のうち請求項 17に記載の 半導体装置は、請求項 15 に記載の半導体装置であっ で、第1のサイドウォールは、少なくとも第1及び第2 の材質から成り、第1のサイドウォールの上面のうち第 1の材質が露出する部分と第1の様層構造の上面との間 に、第2の材質が露出する部出機域をし、露出機域から第1の様層構造の上面に延在して形成された導電層を さらに确えることを特徴とするものである。

【9024】また、この発明のうち請求項18に記数の 半海体装置は、請求項17に記載の半海体装置であっ で、第2のサイドウォールは、第2の接層構造の創業部 に形成された第1のサイドウォールから第1の材質を除 ますることにより形成されることを特数とするものであ う。

#### [0035]

【発明の実施の形態】実施の形態1. 図1~図9は、本発明の実施の形態1に係る半導体契電の製造方法を工程 挿に示す場面図である。まず、シリコン製を10から成本子分離設根にシリコン製化限又はシリコン製金化限から成る 素子分離診接限2を形成した後、ウェルやチャネル(図示しない)等を形成するためのイオン注入を行い、その は、シリコン受低1の上面上に、ゲート酸化関3及びゲート電極4がこの規に後層された段層構造を選択的に形成する。ここで、ゲート酸化関3は例えばシリコンから成めする。また、ゲート電極4な間えばボリシリコンから成る。また、ゲート電極4の値(ゲート長にほぼ等しい)は、O、10m程度とする。その後、ゲート電極4をマスクとしてイオン注入を行い、シリコン委振1の上面内にエクステンション5を形成する(図1)。

【0036】次に、例えばCVO法によりシリコン酸化 関 6を全面に増減した後、シリコン酸化解 6上にシリコ ン受化解 7を増減する(図 2)。シリコン酸化解 6は、 シリコン空化解 7 とシリコン芸板 1 とが接触することを 防止するための下地酸化解であり、 0.0 1 μm程度の 解厚を貧していればよい。但し、後述するシリコン成長 冒 15,16を0.1 μm程度の限厚に形成する場合 は、シリコン酸化解 6 は最大0.05 μm程度の限厚に 形成することができる。また、シリコン空化解 7 は、 0.05 μm程度の解厚に準減すればよい。

【9037】次に、シリコン参板1の漢さ方向にエッチ

ングレートの高い異方性ドライエッチング法により、シリコン室化跌7及びシリコン酸化跌6をこの頃にエッチングし、シリコン基板1の上面を露出する。このとき、ゲート電極4の側壁部には、シリコン室化採9及びシリコン酸化鉄8が残る(図3)。

【0038】次に、例えばCV O法により、0.05μm程度の秩序を有するシリコン酸化限10を全面に増接する(図4)。次に、シリコン基仮10深さ方向にエッチングレートの高い異方性ドライエッチングはより、シリコン酸化限10をエッチングし、シリコンを低10を指10大学により、ゲート電循4の側度部には、シリコン酸化限8,11及びシリコン室化限9から成るサイドウォール12が形成される(図5)。

【0039】 次に、ゲート電幅4及びサイドウォール12をマスクとしてイオン注入を行い、書出しているシリコン芸板1の上面内に不純物構造13を形成する。その結果、シリコン委長1の上面内には、エクステンション5及び不純物積強13から成るソース・ドレイン積量14が形成される(図5)。

【0040】次に、シリコン酸化際に対して選択性を有する条件下で、シリコンの成長を行う。これは、シリコン酸化限上にはシリコンが成長せず、その他の領域上にはシリコンが成長する条件下でのシリコンが入る用いて、減全0・1~2 scon、温度550~700℃、圧力1×10-5~1×10-4forr等の条件が考えられる。ここで、従来技術ではシリコン強化膜に対しても選択性を有する条件下でシリコン或長を行ったが、シリコン変化膜に対して選択性を持たせるためには増まが入等を使用する必要がある。従って、シリコン空化膜に対しては選択性を持たせない本実施の形態。1に係るプロセスの方が従来技術よりも脅便である。

【0041】これにより、シリコン全化鉄9の上面上、 ゲート電極 4の上面上、及び不純物積積 13 が形成され ている部分のシリコン基板 1の上面上に、それぞれシリ コンが成長する(図7)。 ところで、図7に示すよう に、シリコン変化隊9の上面とゲート電機4の上面との 間には、シリコン酸化粧8の上面が存在する。しかし、 シリコンは、ゲート電烙4の上面の法株方向のみなら ず、ゲート長方向(図7において、紙面の左右方向に相 当する) にも成長する。このため、このゲート長方向へ のシリコンは長によって、シリコン変化原9の上面上に 越長したシリコンと、ゲート希接 4の上面上に成長した シリコンとが互いに接触する。その結果、シリコン室化 映9の上面からゲート電極4の上面に延在するシリコン 成長層 15 を形成することができる。また、不純物積極 13が形成されている部分のシリコン基板1の上面上に は、シリコン成長屋16が形成される。シリコン成長屋 15, 16の映序は、D. 1pm程度あれば十分であ る。なお、シリコン室化鉄9のゲート電極4と反対側の





#### [첨부그림 9]

側面はシリコン酸化鉄11によって取われているため、この部分にシリコンが成長することはない。即ち、シリコン酸化鉄11は、シリコン成長層15とシリコン成長層16とが互いに接触するのを隠避する機能を有する。【0042】次に、関えばくVD法によりコパルト17を全面に地接した後(図8)、安幸やアルゴン等の不活性ガス表面気中で無処理を行う。これによりコパルト17とシリコン成長層15,16とが反応し、コパルトシリサイド18,19が形成される。その後、コパルト17とシリコン成長層15,16とが接触していない部分の未反応のコパルト17を発去する(図9)。以上の工程により、サリサイド構造を有するMOSFETが仲観される。その後、層間路棒跌の形成工程や配換工程等のプロセスを経て、デバイスが完成する。

【0043】このように本実施の形態1に係る半導体装 道の製造方法によれば、ゲート電極4の上部に、ゲート 電後4の個W1よりも広い個W2を存するコパルトシリ サッド 18を形成することができる(図9)。ここで、 コバルトシリサイド18の抵抗値は、ゲート電優4の材 質たろポリシリコンの抵抗値よりも十分小さいため、ゲ - 上抵抗は、ほぼコバルトシリサイド18の個及び誤摩 によって決定される。例えば、ゲート長W1がロ、1ヵ m. サッドウォール12の幅が0、05cm、シリコン **競化期11の幅が0、005μm(シリコン酸化期11** の上記機能上、この程度の軽厚で十分である) である塩 合、コバルトシリサイド1.8の幅W2は約1...90 μm となり、Willeyion Olgumだけ長くなる。これ により、デート抵抗をほぼ半分に低減することができ る。このように本実施の形態1に係る半導体装置の製造 方法によれば、ゲート長を広げることなくゲート抵抗を 低減することが可能となる。

【0044】なお、サイドウォール12の構造に関して、サイドウォール12の上面においてシリコン安化膜 9の上面が露出する部分と、ゲート電極4の上面との間に、シリコン酸化膜8の上面が満出する部分が必ずしも存在する必要はない。従って、サイドウォール12の構造としては、その上面において、少なくとも、シリコン変化膜9が露出する部分と、この部分よりも外側においてシリコン酸化膜11が露出する部分とが存在すればよい。

【0045】以下、本実施の形態1にほる半体体装置及びその製造方法の実影例について説明する。特に助らない限り、下記実影例は、後述する各実施の形態についても適用可能である。

【0046】一般的にシリコン成長を行う地合、ポリシリコン上に成長させた場合はポリシリコンから成るシリコン成長層が形成され、単結晶シリコン上に成長させた場合は単結晶から成るシリコン成長層が形成される。従って、以上の説明によると、シリコン成長層15はポリシリコンによって構成され、シリコン成長層16は単結

品シリコンによって構成されることになる。しかし、シリコンであればその形態は問わず、単語品シリコン、ポリシリコン、アモルファスシリコンのいずれであってもよい。さらに、以上の説明ではシリコン成長層15,16をシリサイド化することにより迷竜層としたが、シリコン成長層15,16を形成した後の工程において、シリコン成長層15,16に不辞物をドーピングすることによって逐電層を形成してもよい。

【0047】また、コバルトシリサイド18、19の代わりに、チタンシリサイド、ニッケルシリサイド、タングステンシリサイド等の他のシリサイドを形成してもよい。さらに、シリコン成長層15、16を形成してからこれをシリサイド化するという一速の工程の代わりに、モリプテンやタングステン等の金属を、シリコン協化限に対して選択性を有する条件下で成長させてもよい。この場合は、シリサイド化する工程を省等することができる。

【0048】また、シリコン成長層15,16は、ゲルマニウム、あるいはシリコンとゲルマニウムとの化合物であってもよい。

【0049】また、例えば図9に示したように、シリコン室化膜9のゲート電極4と反対側の側面は、暗静限であるシリコン酸化膜11によって覆われている。従って、シリコン室化膜9の代わりに、シリコン室化に類ないは、ボリシリコン、ゲルマニウム、シリコングルマニウムの半導体や、上記き種シリサイド、金属等を形成した場合であっても、ゲートとソース・ドレインとのショートは起こらない。但し、後述する実施の形態2に関しては、シリコン室化関9の代わりにサリサイドや金属等の導電体を形成することはできない。

【0050】また、サイドウォール12の上面構造に関して、シリコン変化限9の輸出部分の上面と、シリコン酸化限9、11の各輸出部分の上面とが必ずしも一致している必要はない。シリコン登化限9の輸出部分の上面を上記各輸出部分の上面はりも決ませておくことにより、後に形成されるコバルトシリサイド19の実効的な幅を広げることができ、ゲート抵抗をさらに修政することができる。

【0051】実施の形態2、回10は、図7のA部分を 拡大して示す断節図である。シリコン成長度16のゲートで使4億0域部に、ファセット20。が現れている。 本実施の形態2では、このファセット20。の発生を回 連1億0を経路を確認の設定方法を授業する。

【0052】図11~図16は、本発明の実施の形態2に係る半塔体装置の製造方法を工程側に示す駄面図である。まず、上記実施の形態1と同様の方法により図1に示す情違と同様の構造を得た後、例えばCVD法によりシリコン酸化限30を全面に維続する。その後、例えばCVD法により、シリコン酸化限30上にシリコン変化





#### [첨부그림 10]

映31を、シリコン変化映31上にシリコン酸化鉄32 をそれぞれ堆積する(図11)。

【0053】 次に、シリコン基係1の漢さ方向にエッチングレートの高い裏方性ドライエッチング法により、シリコン酸化限32、シリコン変化限31、及びシリコン酸化限30をこの頃にエッチングし、シリコン圏が30分割により、ゲート電係4の側壁部には、シリコン酸化限33、35及びシリコン変化限34から成るサイドウォール36が形成される(図12に示すように、サイドウォール36のゲート電係4と反対側の側面には、シリコン基板1の上面付近に、シリコン室化限34の側面が満出する部分が存在する。また、サイドウォール36の上面には、シリコン室化限34の上面の4種においてシリコン酸化限35が輸出する部分とが存在する。また数分とが存在する。よう数分とが存在する。また数分とが存在する。またの部分よりもゲート電係4と反対側の4種においてシリコン酸化限35が輸出する部分とが存在する。

【0054】次に、ゲート電極4及びサイドウォール36をマスクとしてイオン注入を行い、貸出しているシリコン様近1の上面内に不純物積短13を形成する。その結果、シリコン様近10上面内には、エクステンション5及び下純物積短13から成るソース・ドレイン積短14が形成される(図13)。

【0055】次に、上記実施の形態1と間様にシリコン 酸化期に対して連択性を育する条件下でシリコン威長を 行う。これにより、シリコン室化験34の上面上、ゲー ト電極4の上面上、不純物模型13が形成されている部 うのシリコン基板1の上面上、及びサイドウォール36 の側面において露出するシリコン変化膜34の側面上 に、それぞれツリコンが成長する(図14)。 ところ で、図14に示すように、シリコン学化練34の上面と ゲート電傷4の上面との間には、シリコン酸化製33の 上面が存在する。しかし、ゲート長方向へのシリコン成 長によって、シリコン金化鉄34の上面上に成長したシ リコンと、ゲート電極4の上面とに成長したシリコンと が互いに接触し、その結果、シリコン変化膜34の上面 からゲート電極4の上面に延在するシリコン成長層15 を形成することができる。また、不純物様様 1 3 が形成 されている部分のシリコン基版1の上面上にはシリコン 成長屋16が形成され、シリコン変化鉄34の側面上に はシリコン成長層37が形成される。そして、これらの シリコン成長屋16、37は何いに接触している。な お、シリコン室化映34のゲート電極4と反対側の側面 はシリコン酸化映35によって覆われているため、この 部分にシリコンが対象することはない。即ち、シリコン 鉱化財35は、シリコン成長度15とシリコン成長度1 6、37とが互いに接触するのを関連する機能を育す

【0056】次に、例えばのVD法によりコパルト17 を全面に推移した後(図15)、変衆やアルゴン等の不 活性ガス雰囲気中で熱処理を行う。これによりコパルト 17とシリコン成長層15,16,37とが反応し、コパルトシリサイド18,38が形成される。その後、コパルト17とシリコン成長層15,16,37とが挟触していない部分の未反応のコパルト17を除去する(図16)。以上の工程により、サリサイド構造を有するMOSFETが作製される。その後、層間絶縁既の形成工程や配換工程等のプロセスを経て、デバイスが完成する。

【0057】このように本実題の彩起2に係る半導体装置の製造方法によれば、サイドウォール36の側面に、シリコン変化関34の側面が露出する部分が存在するため、シリコンを成長させることにより、この部分にもシリコン成長屋37が形成される。そして、このシリコン 要化関34の側面が露出する部分は、シリコン基板10上面付近に形面は、シリコン基板11に成長したシリコン成長屋16に接触する。従って、回10に示したファセット20aの発生を回過することができる。

【0058】実施の形態の、図17は、図7の日部分を拡大して示す断面回である。シリコン成長を16のゲート電極4と反対側の城部に、ファセット20 bが現れているシリコン酸化膜6 aは、図3に示したシリコン酸化度6 aは、図3に示したシリコン酸化度8及びシリコン変化度9を形成する程の異方性ドライエッチングの際に、希子分離経歴度2の側里部に残ったものである。本実施の形態3では、このファセット20 bの発生を回避し得る半路体表面の報過方法を提案する。

【0059】図16~図25は、本発明の実施の形態の にほる半端体装置の製造方法を工程規に示す断面回である。特に、上記実施の形態2に保る半導体装置の製造方法を整度としており、以下、これとの相違点を中心に説明する。まず、上記実施の形態1と同様の方法により回1に示す構造と同様の構造を待た後、無酸化法により、シリコン要後10上面上と、ケート電影4の側面及び上面上とに、無酸化数40を形成する。その後、例えばCVD法により、無酸化数40上にシリコン変化数31を増減し、さらに、シリコン変化数31上にシリコン酸化数32を増減する(図18)。

【0060】次に、シリコン基板1の深さ方向にエッチングレートの高い実方性ドライエッチング法により、シリコンを化類31、及び無酸化駅40をこの項にエッチングし、シリコン基板10上面を露出する。これにより、ゲート電低40側型部には、シリコン酸化膜334から成るサイドウォール36が形成される(図19)。図20は、図19のご野分を拡大して示す断面図である。乗子分離・経域20一部はシリコン基板10上面よりも突出している。このため、乗子分離・経験20側型部には、シリコン酸化膜33,35及びシリコン室化與34を形



THE COLOR OF THE STATE OF THE S



#### [청부그림 11]

; '

成する際の異方性ドライエッチングの際に素子分離経緯 鉄2の側壁部に残った、発致化映33a及びシリコン室 化映34aが存在する。

【0061】次に、ゲート電極4及びサイドウォール36をマスクとしてイオン注入を行い、費出しているシリコン挙続1の上面内に不軽物積和13を形成する。その結果、シリコン挙振10上面内には、エクステンション5及び不軽物積極13から成るソース・ドレイン模類14が形成される(図21)。

【0062】次に、上記実施の形態1と同様にシリコン 歯化戦に対して選択性を育する条件下でシリコン成長を 行う。これにより、シリコン変化概34の上面上、ゲート電極4の上面上、不能物積短13が形成されている部分のシリコン要低10上面上、サイドウォール36の側面において需出するシリコン空化限34の側面上、及び、電子分離地域解2の側置部に基ったシリコン空化度34eの表面上に、それぞれシリコンが成長する(図22)。図23は、図22のD部分を拡大して示す断面図である。図23に示すように、シリコン室化限34eの表面上に形成されたシリコン成長741は、シリコンを 振1上に形成されたシリコン成長7416に接触している

【9063】次に、例えばGVD法によりコバルト17を全面に地様した後(図24)、要素やアルゴン等の不 活性ガス雰囲気中で熱処理を行う。これによりコバルト 17とシリコン成長層15,16,37,41とが反応 し、コバルトシリサイド18,42が形成される。その は、コバルト17とシリコン成長層15,16,37, 41とが接触していない部分の未反応のコバルト17を 総去する(図25)。以上の工程により、サリサイド補 遠を有するMOSFETが能報される。その後、層間絶 辞明の形成工程や配換工程等のプロセスを経て、デバイスが実践する。

【0064】なお、以上の説明では上記実施の形態2に 係る半導体装置の製造方法を整礎として述べたが、上記 実施の形態1に係る半導体装置の製造方法を整礎として、本実施の形態3に係る半導体装置の製造方法を要付 することもできる。

【0065】このように本実施の形態3に係る半準体験 選の製造方法によれば、素子分離絶縁限2の側壁部にシリコン室化限34 e が存在するため、シリコンを成長させることにより、この部分にもシリコン成長層41は、シリコンを振1上に成長したシリコン成長層41は、シリコンを振1上に成長したシリコン成長層41は、シリコンを振1上に成長したシリコン成長層15に関触する。従って、図17に示したファセット206の発生を回避することができる。

【0066】その結果、シリコン成長層16,37.4 1の母上面と、シリコン季板1の上面との間の距離が長くなり、コパルトシリサイド42はシリコン挙板1の内部深くによで速しないため、ソース・ドレイン領域14 を漢く形成することができ、半導体装置の数細化を図ることができる。

【0057】実施の彩題4.本実施の形題4は、一つのウェハ内に用途の異なる複数種類の半導体電子が形成された半導体装置の製造方法に関するものである。特に、シリコン基板のDRAM部IDRAM用MOSFETを、ロジック部にロジック用MOSFETをもわぞれ形成する場合を例にとり説明する。

[0068] 図25~図34は、本発明の実施の形態4 に係る半導体装置の製造方法を工程項に示す紙面図であ る。まず、シリコン基版1の素子分離頻堪にシリコン酸 化膜から成る素子分離結縁膜2を形成した後、ウェルや チャネル (図示しない) 等を形成するためのイオン注入 をシリコン萎恢1の全面に関して行う。その後、DRA M部におけるシリコン基版 1 の上面上に、ゲート酸化限 3及びゲート電機 4 e がこの順に被履された機履標道を 選択的に形成するとともに、ロジック部におけるシリコ ン基版1の上面上に、ゲート酸化脒3及びゲート電極4 6 がこの頃に種思された種層構造を選択的に形成する。 ここで、ゲート酸化粧さは例えばシリコン酸化粧から成 り、ゲート電極 4 a。 4 b は倒えばポリシリコンからば る。また、ゲート電極4a, 4bの幅(ゲート長にほぼ 等しい)は、0、1ヵm程度とする。その後、ゲート電 優4★。4bをマスクとして、シリコン萎帳1の全面に 関 してイオン注入 を行い、 シリコン参振 1の上面内にエ クステンション5を形成する(図25)

【0069】次に、例えば GV O法によりシリコン酸化 灰6を全面に地域した後(図27)、シリコン酸化灰6 上にシリコン変化灰7を地域する(図28)、シリコン 酸化灰6は、シリコン変化灰7とシリコン等仮1とが接 触することを防止するための下地酸化灰であり、0.0 1 μm程度の灰厚を有していればよい。また、シリコン 変化灰7は、0.05 μm程度の灰厚に地様すればよ

(0070) 次に、シリコン基版1の深さ方向にエッチングレートの高い異方性ドライエッチング法により、シリコン全化取7及びシリコン酸化取6をこの頃にエッチングし、シリコン基版10万円の上面を露出する。このとき、ゲート電低4a、45の各側壁部には、シリコン室化取9及びシリコン酸化取8が残る(図29)。

【0071】次に、例えばCV D法により、O、O5 μ m程度の既厚を育するシリコン像化限10を全面に増減する(図30)。次に、シリコン受抗10原で方向にエッチングレートの高い異方性ドライエッチング法により、シリコン変化限10をエッチングし、シリコン変化取10上面を露出する(図31)。このとき、図31に示すように、シリコン変化限9のゲートを揺4e。4 bと反対側の側壁部には、シリコン像化即11が残る。【0072】次に、写真製版法により、シリコンを振100RAM部にレジスト50を形成する(図32)。次

24-11



المنافعة المن



#### [첨부그림 12]

: '

に、レジストラロによって覆われていないロジック部の シリコン酸化跌1.1を、例えばフッ酸等によって除去す る。その後、レジスト50を除去する(図33)。図3 3に示すように、シリコン英板 1のDR AM部における ゲート電接40の側壁部には、シリコン酸化粧日、11 及びシリコン空化膜のから成るサイドウォール126が 形成されており、一方、ロジック部におけるゲート電極 4 6の創壁部には、シリコン酸化酶 8及びシリコン変化 誤りから成るサイドウォール12gが形成されている。 【0073】次に、ゲート電径4a, 4b、シリコン酸 化製8、11、及びシリコン安化製9をマスクとしてイ オン注入を行い、露出しているシリコン萎振1の上面内 に不純物領域13を形成する。その結果、DRAM部及 ひロジック部におけるシリコン基板 1 の上面内には、エ クステンション5及び不純物模様13から成るソース・ ドレイン領域(4がそれぞれ形成される(図34)。以 上の工程により、シリコン挙版1のDRAM部にはDR AM用MOSFETが、ロジック部にはロジック用MO SFETがそれぞれ作製される。その後、層間絶縁膜の 形成工程や配銭工程等のプロセスを探で、デバイスが完

【9074】このように本実施の形態4に係る半導体装 置の製造方法によれば、DRAM用MOSFETのサイ ドウォール12gの幅は、シリコン酸化粧8。11の幅 とシリコン変化膜9の幅との合計となり、一方、ロジッ ク用MOSFETのサイドウォール 12 bの傾は、シリ コン酸化酸8の幅とシリコン金化酸9の幅との合計とな る。即ち、DRAM用MOSFETとロジック用MOS **ドモモとで、サイドウォールの幅を異なる値に設定する** ことができる。その結果、ソース部における不純物領地 13と、ドレイン部における不純物領域 13との間の距 雑を、DRAM前MOSFETとロジック前MOSFE Tとで異ならせることができる。 従って、DRAM用M OSFETではこの距離を大きくすることで安定した電 気的特性を得ることができ、一方、ロジック用MOSF 日下ではこの距離を小さくすることで高駆動能力を得る ことができる。

【0075】実施の形態5.本実施の形態5は、上記実施の形態4に係る半導体装置の製造方法と、上記実施の 影節1に係る半導体装置の製造方法との組み合わせに係るものである。

【0076】図35~図39は、本発明の実産の形態5に低る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態4と同様の方法により、図31に示す構造と同様の構造を待る。その後、上記実施の形態1と同様にシリコン酸化際に対して選択性を有する条件下シリコン成長を行うことにより、シリコン成長を行う、16を形成する(図35)。

【0077】次に、写真製版法により、シリコン基版 1 のDR AM部にレジスト50aを形成する(図36)。 次に、レジスト50。によって覆われていないロジック 部のシリコン酸化鉄11を、解えばフッ酸等によって除 去する(図37)。図37に示すように、シリコン様板 1のDRAM部におけるゲート電低4の側便部には、 シリコン酸化鉄8,11及びシリコン変化鉄9から成る サイドウォール12。が形成されており、一方、ロジック部におけるゲート電低40の側盤部には、シリコン酸 化鉄9及びシリコン変化鉄9から成るサイドウォール1 25が形成されている。

【0078】次に、レジストラ0gを除去した後、イオン注入を行い、シリコン萎仮1の上面内に不移物積短13を形成する。その結果、DRAM部及びロジック部におけるシリコン萎板1の上面内には、エクステンションラ及び不移物積短13から成るソース・ドレイン積短14がそれぞれ形成される(図38)。

【0079】次に、例えばCV D法によりコパルト(図 示しない)を全面に堆積した後、空幸やアルゴン等の不 活性がス雰囲気中で熱処理を行い、コバルトシリサイド 18、19を形成する。その後、未反応のコバルトを除 去する(図39)。以上の工程により、サリサイド構造 を有するDRAM用MOSFET及びロジック用MOS FETが、それぞれシリコン基板1のDRAM部及びロ ジック部に形成される。その後、 層間結構期の形成工程 や配換工程等のプロセスを経て、デバイスが完成する。 【0080】このように本実施の形態5に係る半導作装 置の製造方法によれば、ゲート電係4a。46上にコバ ルトシリサイド 1 8 をそれぞれ形成することにより、 0 RAM用MOSFET及びロジック用MOSFETの各 ゲート抵抗をそれぞれ低減でき、しかも、DRAM用M OSFETのサイドウォール12gの幅と、ロジック用 MOSFETのサイドウォール126の幅とを閲別に設 定することが可能となる。

【0081】実施の形態も、本実施の形態もは、上記実施の形態4に係る半導体検費の製造方法と、上記実施の形態1に係る半導体検費の製造方法との組み合わせに係るしのであり、特に、1つのシリコン整板1に形成されるDRAM用MOSFETのうち、DRAM用MOSFETのみに上記実施の影響1に係る半導体検費の製造方法を適用するものである。【0082】図40~図45は、本発明の実施の形態もに係る半導体検費の製造方法を適用するものである。【0082】図40~図45は、本発明の実施の形態もに係る半導体検費の製造方法を正理順に示す断面図である。まず、上記実施の形態4と同様の方法により、図34に示す構造と同様の構造を存た後、例えばCVD法により、シリコン酸化限51を全面に地様する(図40)。

【0083】次に、写真製版法により、シリコン曼仮1 のロジック部にレジスト52を形成する(図41)。次 に、レジスト52によって覆われていない OR AM部の シリコン酸化映51を、例えばフッ酸等によって除去す る(図42)。次に、レジスト52を除去した後、上記



AND THE PROPERTY OF THE PROPER



#### [첨부그림 13]

٠, ١

実施の形態1と同様にシリコン酸化鉄に対して選択性を 有する条件下でシリコン成長を行うことにより、シリコン が低1のDRAM部において、シリコン成長層15。 16を形成する(図43)。

【0084】次に、例えばCV D法により、コバルト17を全面に地様する(図44)、次に、産業やアルゴン等の不活性ガス寿団気中で熱処理を行い、コバルトシリサイド18,19を形成する。その後、未反応のコバルト17を終去する。また、シリコン酸化駅51を例えばフッ酸等によって除去する(図45)。以上の工程により、サリサイド律途を有するDRAM用MOSFET、及びロジック用MOSFETが、それぞれシリコン様切1のDRAM部及びロジック部に形成される。その後、骨間結構限の形成工程や配線工程等のプロセスを採て、デバイスが完成する。

【0085】このように本実施の形態のに係る半導体検 適の製造方法によれば、ゲート報便46上にコパルトシ リサイド18を形成することにより、DRAM開MOS FETのゲート抵抗を修道でき、しから、DRAM開M OSFETのサイドウォール126の幅と、ロジック用 MOSFETのサイドウォール126の幅とを個別に数 定することが可能となる。

(0086)

【実明の効果】 この発明のうち請求項1 に係るものによれば、ゲート機権の幅を広げることなく、ゲート機権の幅を広げることができ、ゲート機権の傾よりも広い基礎層を形成することができ、ゲート掲載の修道を図ることができる。

【0087】また、この発明のうち請求項2に係るものによれば、ゲート長方向への成長を以て、舞出領域から被理構造の上面に延在する半準体成長層を形成し、この半等体成長層を返尿と結合させて半準体一金属化合物を形成するため、ゲート機能の備よりも広い幅を有する強電層を通明に形成することができる。

【0088】また、この発明のうち請求項3に係るものによれば、選出している薬板の主面のみならず、サイドウォールの第1領域からも半導体を成長させることにより半導体は長層を形成するため、半導体成長層のゲート電極側の端部において、ファセットの発生を回避することができる。

【0089】また、この発明のうち請求項4に係るものによれば、素子分離構造の突出部分の側壁部に形成された第2項項からも半導体を成長させることにより半導体成長層を形成するため、半導体成長層の素子分離構造側の端部において、ファセットの発生を回避することができる。

【0090】また、この発明のうち請求項5に係るものによれば、サリサイド構造を有する半導体装置に関して、ゲート電極の幅を広げることなくゲート抵抗の暫返を図ることができるとともに、第2の半導体成長層のケート電極側の端部において、ファセットの発生を図過することができる。

【〇〇91】また、この発明のうち請求項6に係るものによれば、サリサイド構造を有する半導体装置に関して、ゲートを極の帽を広げることなくゲートが抗の形滅を図ることができるとともに、第2の半導体成長層のゲートを傾向の顕都においてファセットの発生を回避することができ、さらに、半導体成長層の素子分離構造側の場部においてもファセットの発生を回避することができま

【0092】また、この発明のうち請求項フに係るものによれば、第1及び第2の様層構造、及び前記第1及び第2のサイドウォールをマスクとして不純物を導入することにより、第1及び第2の不純物塩入類塩がそれぞれ形成され、しかも、第1及び第2のサイドウォールの帽は互にに異なる。従って、第1及び第2の半導体等子のそれぞれの用途に応じて、対を成す第1の不純物塩入類如同士の間の距離、及び対き成す第2の不時物塩入類如同士の間の距離、及び対き成す第2の不時物塩入類如同士の間の距離、及び対き成す第2の不時物塩入類如同士の間の距離、及び対き成す第2の不時物塩入類如同士の間の距離を間別に設定することができる。

【0093】また、この発明のうち誘求項8に係るものによれば、第1の経層構造におけるゲート機構の備を広げることなく、第1の半端体帯子のゲート抵抗を修過することができる。

【0094】また、この発明のうち請求項9に係るものによれば、第1のサイドウォールよりも第1の材質の幅だけ短い幅を有する第2のサイドウォールを、第2の祛層構造の側壁器に形成することができる。

【0095】また、この発明のうち諸求項10に係るものによれば、超電程の幅はゲート電優の幅はりも広い。 従って、ゲート抵抗の修道を図ることができる。

【0096】また、この発明のうち請求項11に係るものによれば、ゲート長方向への成長を以て、審出情知から候標構造の上面に延在する半端体成長層を形成し、この半端体成長層を全域と語るさせて半端体・金属化合物を形成するため、ゲート機能の帽よりも広い帽を召する場でを形成するを通りに形成することができる。

【0097】また、この発明のうち請求項12に係るものによれば、半路体成長層は、最出している歴況の主面のみならず、サイドウォールの第1領域からも半路体を成長させることにより形成される。従って、半路体成長層のゲート電極側の編都において、ファセットの発生を回避することができる。

【0098】また、この発明のうち請求項13に係るものによれば、半導体成長層は、重出している萎病の主面、サイドウォールの第1様短、及び素子分離構造の突出部分の創型部に形成された第2様位からそれぞれ半導体を成長させることにより形成される。従って、半導体成長層の素子分離構造側の端部において、ファセットの発生を回避することができる。このため、ソース・ドレイン様短を養板内に減く形成することができ、微細化された半導体装置を得ることができる。





#### [첨부그림 14]

. ...

ومن وينون للسطور ويوري والموارد والمناطقة المائلة المائلة المناطقة والمناطقة والمناطقة والمائلة والمناطقة والمائلة

【0099】また、この発明のうち請求項14に係るものによれば、サリサイド構造を有する半原体装置に関して、ゲート機構の幅を広げることなくゲート抵抗の飲酒を図ることができるとともに、第2の半原体成長層のゲート機械側の編却において、ファセットの発生を図過することができる。

【0100】また、この発明のうち請求項15に係るものによれば、サリサイド構造を有する半導体報度に関して、ゲート機構の幅を広げることなくゲート抵抗の影響を回ることができるとともに、第20半導体成長層のゲート機械側の端部においてファセットの発生を回避することができ、さらに、半導体成長層の第子分離構造側の端部においてもファセットの発生を回避することができる。このため、ソース・ドレイン領域を参振内に減く形成することができ、微細化された半導体装置を得ることができる。

【0101】また、この契明のうち請求項 16に係るものによれば、第1及び第2の様理構造、及び前記第1及び第2のは理構造、及び前記第1及び第2のサイドウォールをマスクとして不純物を導入することにより、第1及び第2の平純物場入積極がそれぞれ形成され、しかも、第1及び第2のサイドウォールの構は互いに実なる。 従って、第1及び第2の半級十分それぞれの用途に応じて、対を成ず第1の不純物場入積極両士の間の距離、及び対を成ず第2の不純物場入積極両士の間の距離を衝別に変変することができる。

【0102】また、この契明のうち請求項17に係るものによれば、第1の経層構造におけるゲート機構の幅を 度けることなく、第1の半導体番子のゲート抵抗を影響 することができる。

【0103】また、この発明のうち請求項18に係るものによれば、第2の秩度構造の側型部に、第1のサイドウォールよりも第1の材質の幅だけ短い幅を有する第2のサイドウォールを形成することができる。

【図1】 本発明の実施の形態1に係る半導体装置の製 連島商表高量増展前す販面図である。

【図2】 本発明の実施の形態1に係る半導体装置の設 造方法を工程順に示す断面図である。

【図3】 本発明の実施の形態1 に係る半導体装置の製造方法を工程順に示す断値図である。

【図4】 本発明の実施の形態 1 に係る半導体装置の観 造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程項に示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態 t に係る半等体装置の製造力法を工程規に示す断面図である。

【図10】 図7のA部分を拡大して示す断面図である

【図11】 本発明の実施の形態2に係る半導体装置の 製造方法を工程項に示す断面図である。

【図 1 2】 本発明の実施の形態2に係る半導体装置の 製造方法を工程順に示す販面図である。

【図13】 本発明の実施の形態2に係る半導体装置の 製造方法を工程項に示す財面図である。

【図14】 本発明の実施の形態2に係る半導体装置の 製造方法を工程準に示す断面図である。

【図15】 本発明の実施の形態2に係る半導体装置の 製造方法を工程順に示す動面図である。

製造方法を工程原に示す時間20である。 【図 1 6】 本発明の実施の形態2に係る半進体装置の 製造方法を工程原に示す時間20である。

【図17】 図7の8部分を拡大して示す断面図である。

【図18】 本発明の実施の形態3に係る半導体装置の 製造方法を工程塔に示す財面図である。

【図19】 本発明の実施の形態3に係る半導体発電の 製造方法を工程順に示す新聞図である。

【図20】 本発明の実施の形態3に係る半導体装置の製造方法を工程機に示す断面図である。

【図2 1】 本発明の実施の形態さに係る半導体装置の 製造方法を工程順に示す新面図である。

【図22】 本発明の実施の形態3に係る半導体装置の 製造方法を工程地に示す断面図である。

【図23】 本発明の実施の形態さに係る半導体装置の 製造方法を工程順に示す版面図である。

【図24】 本発明の実施の形態3に係る半導体装置の 製造方法を工程機に示す転面図である。

【図25】 本発明の実施の形態3に係る半導体装造の 製造方法を工程順に示す新面図である。

【図26】 本発明の実施の形態4に係る半導体装置の 製造方法を工程操に示す断面図である。

【図27】 本発明の実施の形態4に係る半導体装置の 製造方法を工程順に示す新面図である。

【図28】 本発明の実施の形態4に係る半導体装置の 製造方法を工程項に示す戦節図である。

【図29】 本発明の実施の形態4に係る半級体装置の 製造方法を工程地に示す断面図である。

【図30】 本発明の実施の形態4に係る半導体装置の 製造方法を工程順に示す新面図である。

【図31】 本発明の実施の形態4に係る半導体装置の 製造方法を工程順に示す新面図である。

【図32】 本発明の実施の形態4に係る半導体装置の 製造方法を工程原に示す新面図である。

【図33】 本発明の実施の形態4に係る半導体研査の製造方法を工程順に示す断面図である。

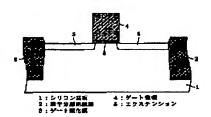




#### [첨부그림 15]

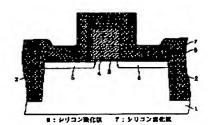
- 【図34】 本発明の実施の形態4に係る半導体装置の 製造方法を工程制に示す転間図である。
- 【図35】 本発明の実施の形態5に係る半線体装置の 製造方法を工程順に示す断面図である。
- 【図36】 本発明の実施の影態5にほる半導体製造の 製造方法を工物銀に示す版面図である。
- 【図37】 本発明の実施の形態5に係る半端体装置の 製造方法を工程順に示す断面図である。
- **▼1975年で上刊記に示す明日刊である。** 【図38】 本発明の実施の形態5に係る半路体装置の
- 製造方法を工程項に示す断面図である。 【図39】 本発明の実施の形態5に係る半媒体装置の
- 製造方法を工程順に示す転面図である。
- 【図40】 本発明の実施の形態ちに係る半導体装置の 製造方法を工場順に示す新面図である。
- 【図41】 本発明の実施の形態6にほる半導体装置の 製造方法を工程順に示す期間回である。
- 【図42】 本発明の実施の形態もに係る半導体装置の ・ 製造方法を工程順に示す新聞図である。
- 【図43】 本発明の実施の形態らに係る半導体装置の製造力法を工程振に示す断節回である。
- 【図44】 本発明の実施の形態もに係る半導体装置の 製造方法を工程順に示す新面図である。
- 【図45】 本発明の実施の形態もに係る半導体装置の 製造方法を工程順に示す助面図である。
- 【図46】 従来の半導体製器の製造方法を工程順に示す動画図である。
- 【図4.7】 従来の半導体装置の製造方法を工程操作示す助面図である。
- 【図49】 従来の半導体装置の製造方法を工程原に示す断面図である。
- 【図49】 従来の半導体装置の製造方法を工程順に示す断面図である。

(E) 11



- 【図50】 従来の半導体装置の製造方法を工程順に示す新面図である。
- 【図51】 従来の半導体装置の製造方法を工程規に示す動面図である。
- 【図5 2】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図53】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図54】 従来の半導体装置の製造方法を工程順に示す断面団である。
- 【図55】 従来の半導体装置の製造方法を工程がに示す動画図である。
- 【図5.6】 従来の半導体装置の製造方法を工程順に示す断面図である。
- 【図57】 従来の半導体装置の製造方法を工程順に示す動面図である。
- 9 明明四代のグ 【図58】 図50のA部分を拡大して示す断面図であ
- 【図59】 図50の8部分を拡大して示す断面図である。
- 【符号の説明】
- 1 シリコンを板、2 素子分離結縁は、3 ゲート酸化は、4,4 e,4 bゲート電極、8,11,33、3 5,51 シリコン酸化膜、9,34、34 e シリコン酸化膜、12,12 b,35 サイドウォール、13 不時物類は、14 ソース・ドレイン質は、15,16,37,41 シリコン成長屋、17 コバルト、18,19,38,42 コバルトシリサイド、20s,206 ファセット、40 無酸化铁。

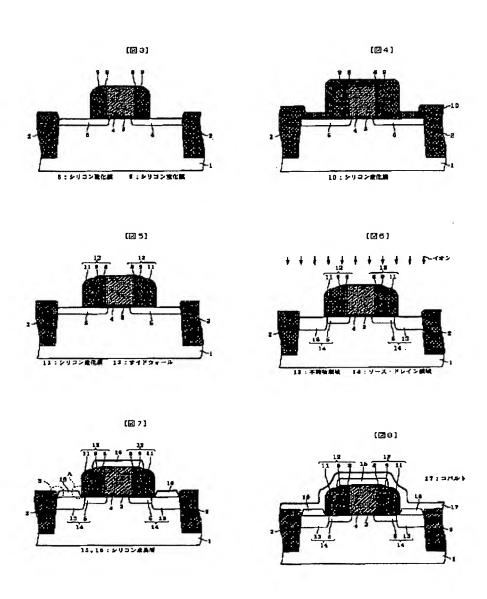
[國2]







## [첨부그림 16]

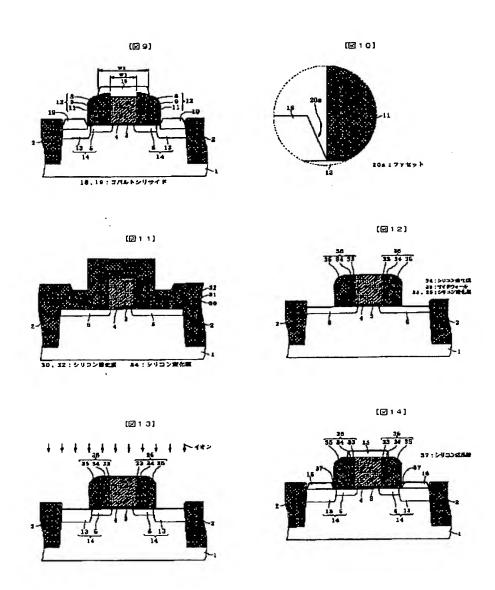


24-16





## [첨부그림 17]



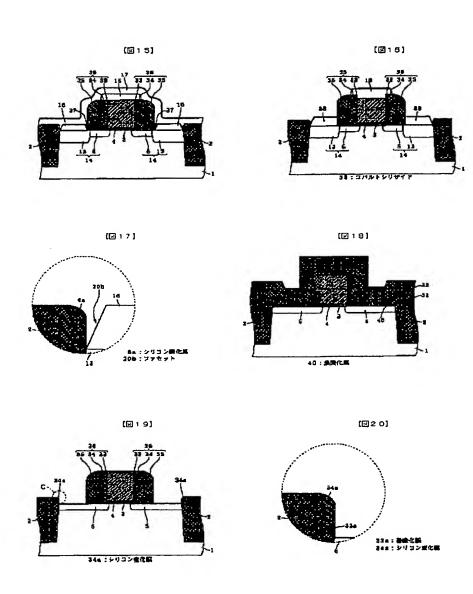
24-17



والمراجع والم



## [첨부그림 18]

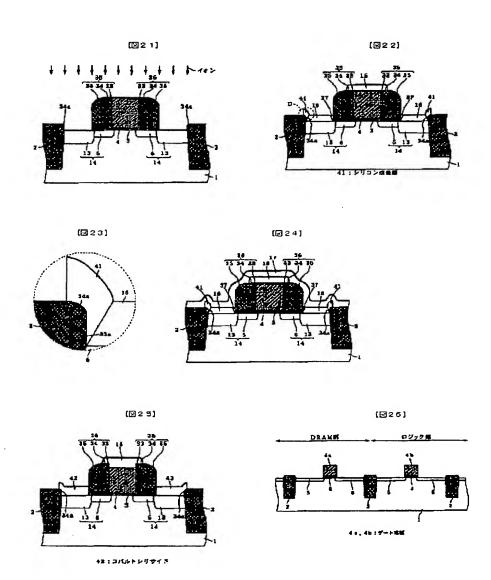


24-18





## [첨부그림 19]

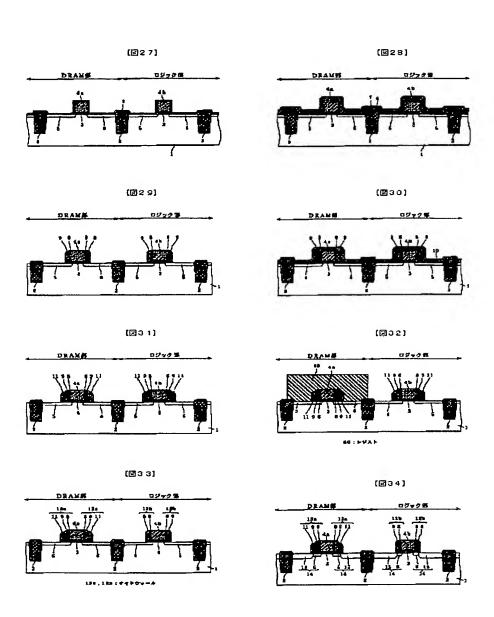


24-19





## [첨부그림 20]

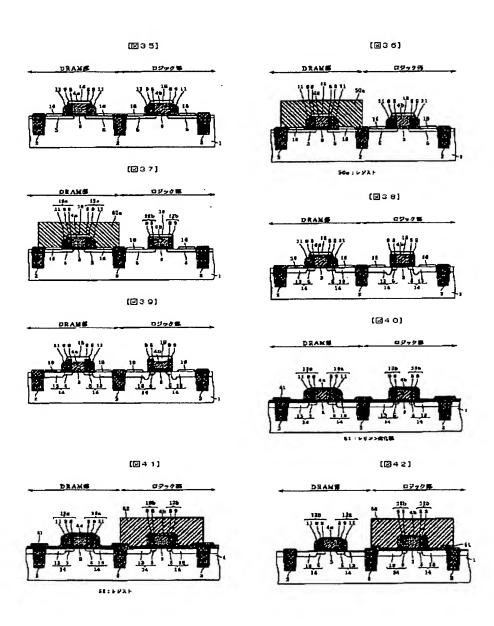


24-20





## [첨부그링 21]

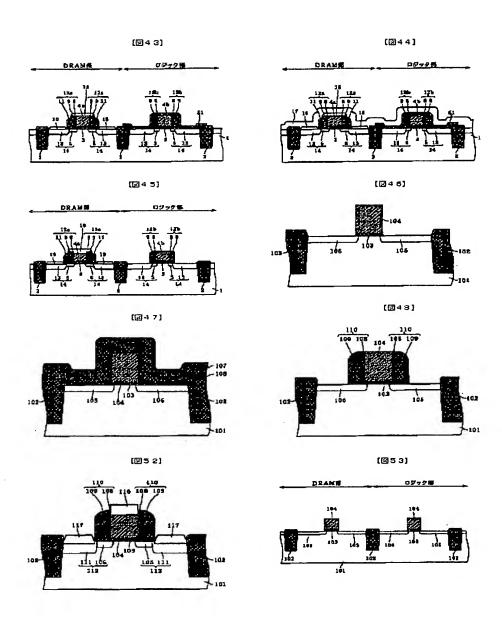


24-21





## [첨부그림 22]

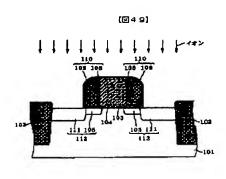


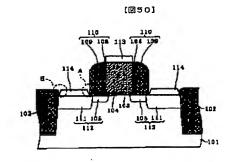
24-22

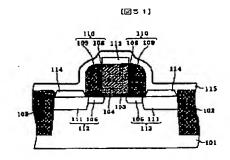


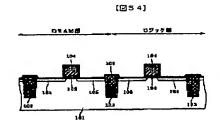


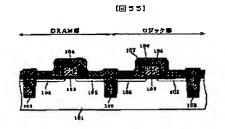
## [첨부그림 23]

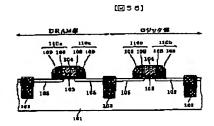












24-23





CCO1 CC05 DD04 DD46 DD78

GG16 HH14

FC21

5F038 DF05 DF11 EZ01 EZ20 5F040 DA00 DA01 DA13 DC01 EA08 EA09 EC07 EC13 EF02 EH02 EK01 EA01 FA05 FA07 FA10 FB02 FC06 FC07 FC11 FC13

5F048 AA01 AB01 AB03 BB05 EC06 BC18 BC19 EF03 EF06 EG01 5F083 AD00 PR09 PR25 PR53 FR54 PR55 ZA12

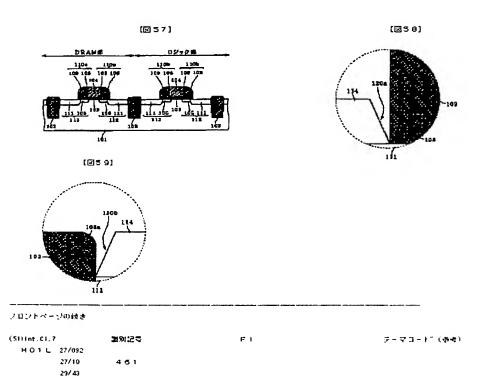
#### [첨부그림 24]

(72)発明者 佐山 弘和

英電號株式会社内

ドターム(参考) 4M104 AA01 BB20 BB21 BB25 BB28

東京都千代田区九の内ニ丁目2番3号 三



24-24

# This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:
BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
LINES OR MARKS ON ORIGINAL DOCUMENT
REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
OTHER:

# IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.